

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **01091526 A**

(43) Date of publication of application: **11.04.89**

(51) Int. Cl. **H03K 19/177**
G06F 7/00

(21) Application number: **62249184**

(22) Date of filing: **02.10.87**

(71) Applicant: **KAWASAKI STEEL CORP**

(72) Inventor: **KEIDA HISAYA**

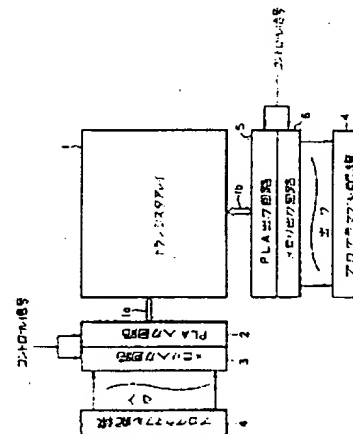
(54) PROGRAMMABLE LOGIC ELEMENT

(57) Abstract:

PURPOSE: To improve the utilizing efficiency by applying optional programmable wiring between plural programmable logic elements provided with 1st and 2nd input circuits and an output circuit using a transistor(TR) array as a programmable logic array and a memory depending on the selection.

CONSTITUTION: The 1st input circuit 2 and a 1st output circuit 5 where a TR array 1 having a storage function is used as a PLA (programmable logic array) and the 2nd input circuit 3 and a 2nd output circuit 6 using the TR array 1 as a memory are switched by selection so that the array is used as the PLA or the memory. Plural programmable logic elements programmed as the PLA or the memory (storage circuit) are interconnected freely by using a programmable wire 4 to realize a desired optional logic function. Thus, the utilizing efficiency as the component is improved.

COPYRIGHT: (C)1989.JPO&Japio



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-91526

⑮ Int.Cl.

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)4月11日

H 03 K 19/177
G 06 F 7/00

7328-5J
E-7313-5B

審査請求 未請求 発明の数 1 (全5頁)

⑬ 発明の名称 プログラマブル論理素子

⑯ 特 願 昭62-249184

⑰ 出 願 昭62(1987)10月2日

⑱ 発 明 者 慶 田 久 彌 千葉県千葉市川崎町1番地 川崎製鉄株式会社技術研究本部内

⑲ 出 願 人 川崎製鉄株式会社 兵庫県神戸市中央区北本町通1丁目1番28号

⑳ 代 理 人 弁理士 志賀 富士弥

明 細 書

1. 発明の名称

プログラマブル論理素子

2. 特許請求の範囲

トランジスタアレイと、

このトランジスタアレイを選択によりプログラマブル・ロジック・アレイとする第1の入力回路および第1の出力回路と、

前記トランジスタアレイを選択によりメモリとする第2の入力回路および第2の出力回路とを備えたプログラマブル論理要素を複数備え、

かつ、前記プログラマブル論理要素間を任意に結線するプログラマブル配線を備えたことを特徴とするプログラマブル論理素子。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、プログラマブル・ロジック・アレイとして機能するプログラマブル論理要素を複数備え、前記プログラマブル論理要素をプログラマブル・ロジック・アレイとして使用しないときは、

メモリユニットとして使用可能にしたプログラマブル論理素子に関するものである。

〔従来の技術〕

従来より、ユーザがアプリケーション対応の論理機能を得る集積回路(IC)の1つとして、PLA(プログラマブル・ロジック・アレイ)が知られている。

PLAには、例えばメモリ機能を有するトランジスタセルをマトリックス状に結合(アレイ構造)し、入力により一つの行を選択して、そのメモリの内容を列(積項線)に出力し、その積項線のORをとって出力する構成のものがある。

近年ではICの集積技術が向上し、PLA等のプログラマブル論理要素をプログラマブル配線とともに複数搭載したプログラマブル論理素子も実現している。

〔発明が解決しようとする問題点〕

しかしながら、上記従来の技術におけるプログラマブル論理素子では、素子の使用効率が問題点になっていた。即ち、プログラマブル素子におい

で、プログラムされずに論理機能を構成しないプログラマブル論理要素がある場合、このプログラマブル論理要素の使用効率は落ちてしまう。

本発明は、上記問題点を解決するために創案されたもので、複数のプログラマブル論理要素を備えるプログラマブル論理要素において、論理を構成せず使用されないプログラマブル論理要素をメモリとして使用できるようにし、その使用効率を高めることを可能にしたプログラマブル論理要素を提供することを目的とする。

〔問題点を解決するための手段〕

上記の目的を達成するための本発明のプログラマブル論理要素の構成は、

トランジスタアレイと、

このトランジスタアレイを選択によりプログラマブル・ロジック・アレイとする第1の入力回路および第1の出力回路と、

前記トランジスタアレイを選択によりメモリとする第2の入力回路および第2の出力回路とを備えたプログラマブル論理要素を複数備え、

一実施例の構成を示すブロック図である。トランジスタアレイ1は、記憶機能を有するトランジスタセルをマトリックス状に配列しアレイ構造としたもので、行方向の接続線1aはPLAの論理アドレス入力線またはメモリの行アドレス入力線となり、列方向の接続線1bはPLAの積項線またはメモリの出力線となる。

トランジスタアレイ1の行方向の接続線1aには、PLA入力回路2とメモリ入力回路3とが選択的に接続される。その選択は、コントロール信号によって行われ、コントロール信号はプログラマブルにユーザが設定可能にする。PLA入力回路2は第1の入力回路であり、プログラマブル配線4から入力される論理入力により、正負の論理アドレス入力を作成してトランジスタアレイ1の行方向接続線1aに送出可能にする。メモリ入力回路3は第2の入力回路であり、プログラマブル配線4から入力されるメモリアドレスをデコードして行アドレス入力を作成しトランジスタアレイ1の行方向接続線1aに送出可能にする。

かつ、前記プログラマブル論理要素間を任意に結線するプログラマブル配線を備えたことを特徴とする。

〔作用〕

本発明は、記憶機能を有しているトランジスタアレイをPLAとして構成する第1の入力回路および第1の出力回路と、そのトランジスタアレイをメモリとして構成する第2の入力回路および第2の出力回路とを選択により切り換えて、上記で構成されるプログラマブル論理要素をPLAあるいはメモリのいずれにも利用可能にする。これらPLAあるいはメモリ（記憶回路）としてプログラムされた複数のプログラマブル論理要素は、それらの間をプログラマブル配線で自由に結線されて所望の任意の論理機能を実現する。

〔実施例〕

以下、本発明の実施例を図面に基づいて詳細に説明する。

第1図は、本発明をプログラマブル論理要素に適用した場合の一つのプログラマブル論理要素の

トランジスタアレイ1の列方向接続線には、PLA出力回路5とメモリ出力回路6とが接続され、そのいずれかの出力が前述のコントロール信号によって選択的にプログラマブル配線4に出力される。PLA出力回路5は第1の出力回路であり、上記列方向の接続線1bを積項線として例えばその論理和または論理積などの論理出力を作成し出力する。メモリ出力回路6は第2の出力回路であり、上記列方向の接続線1bをメモリのデータの出力線とし、例えばデコーダを備えてプログラマブル配線4から入力される列アドレス入力により、行アドレス入力で選択された行の1ビットまたは3ビットなど複数のトランジスタセルを選択し、センスアンプでリードして出力する。

第2図は第1図の構成のプログラマブル論理要素で構成したプログラマブル論理要素の構成図である。7はチップを示し、このチップ7上に複数のプログラマブル論理要素8、8'を配置する。プログラマブル論理要素8も8'もともに同じものであるが、一方の8はPLAにセットし、他方

の8'はメモリとしてセットする。これらの各PLA 8およびメモリ8'の入出力線はプログラマブル配線4によってユーザが手元で自在に結線することができるように構成され、所望の任意の論理機能を実現する。

第3図は第1図のプログラマブル論理要素のより具体的な実施例を示す回路構成図である。トランジスタアレイ1は16×16セルから成り、列方向接続線1aおよび行方向の接続線1bはそれぞれ16本から成る。PLA入力回路2は、8個のバッファ2a₁, 2a₂, ..., 2a₈を有し、各バッファ2a₁, ...はその入力1₁, 1₂, ..., 1₈により8本の非反転(正)出力と8本の反転(負)出力をPLAの論理アドレス入力としてPLA入力・メモリ行アドレス選択回路9の一方の入力に送出される。一方、バッファ2a₁, ...はメモリ入力回路およびメモリ出力回路のバッファとしても共用され、そのうち4組8本の非反転出力と反転出力がメモリ入力回路であるメモリ4→16行デコード3にメモリの行アドレス入力として入力

信号Cにより、上記入力のいずれかを選択して出力する。その出力は、プログラマブル配線で他の論理要素と任意に接続可能である。このときのメモリ用列デコード11の入力には、バッファ2a₁, ..., 2a₈の8本(4ビット)の非反転出力と反転出力が入力される。以上のメモリ出力回路の構成によって、トランジスタアレイ1は256×1bitのメモリとして機能することができる。なお、メモリ出力回路6のセンスアンプをメモリ出力線2本毎に8個のグループに分け、列アドレス1ビットによってその各2本のいずれかをセンスして出力するように構成すれば、トランジスタアレイ1は32×8bitのメモリとして機能させることもできる。その他64×4bitなど任意に構成できることは言うまでもない。トランジスタアレイ1への書き込みは、書き込み回路12により行われる。書き込み回路12は列方向接続線1b毎に設けられ、外部から書き込みが指示されるとデコード11の出力によりその1つがイネーブルとなって行アドレスと列アドレスの交点のセルに1ビット

される。デコード3では、4→16ラインにデコードされた16本の行アドレスが上記選択回路9の他方の入力に送出される。選択回路9は、コントロール信号(切り換え信号)CによってPLAの論理アドレス入力またはメモリの行アドレス入力のいずれかを選択し、トランジスタアレイ1の16本の行方向接続線1aに送出する。

PLA出力回路5は、列方向の接続線1bをトランジスタアレイをAND面とした積項線として、それらの論理和をPLA・メモリ選択回路10の一方へ入力する。この論理和は、すべての積項線1bの総和であっても良いし、適宜に分割してグループ毎に行ったものでも良い。メモリ出力回路6は、列方向接続線(メモリ出力線)1bのそれぞれに接続された16個のセンスアンプから成る。各センスアンプはメモリ用列アドレスデコード11からの16本のデコード出力の1つで選択されてメモリ出力線1bの一つをセンスして、PLA・メモリ選択回路10の他方に入力する。このPLA・メモリ選択回路10は前記したコントロール

トを記憶させる。トランジスタアレイ1は、EPROMや不揮発性RAMまたは通常のRAMなどいずれの型式で形成しても良い。

第4図(a), (b)は、1つのプリント基板に論理機能を実現するためにプログラマブル論理素子を含むICを実装した場合において、本実施例(a)と従来例(b)とを比較したものである。13はプリント基板、14はCPU(プロセッサ)-IC、15は本実施例のプログラマブル素子(PLD)、100は従来のPLAだけを含むプログラマブル素子(PLD)、101はCPU-IC14用のメモリである。(a), (b)を比較してわかるように、従来のPLD100を使用する場合はCPU-IC14用のメモリ101が必要であったが、本実施例(a)によれば、PLD15の中にCPU-IC用のメモリを形成することができる。従って、PLD15に論理を構成せず使用しない部分があれば、メモリを構成して、(b)におけるメモリ101を省略することができる。その結果、プリント基板13への実装数を減らす

ことができ、装置の小型化が図れる。このことはまた、PLD 15の使用効率を高めることにもなっている。

なお、以上の実施例の中で述べたように、本発明はその主旨に沿って種々に応用され、種々の実施態様を取り得ることは当然である。

[発明の効果]

以上の説明で明らかなように、本発明のプログラマブル論理素子によれば、以下のような効果を奏する。

(1) 従来のプログラマブル論理素子では論理を構成せずムグになっていたプログラマブル論理要素をメモリとして利用できるため、素子としての使用効率を実質的に向上することができる。

(2) メモリを用いる論理回路をワンチップで構成することが可能となり、従来必要であった外付けのメモリ素子を省略でき、実装効率を向上させることができる。

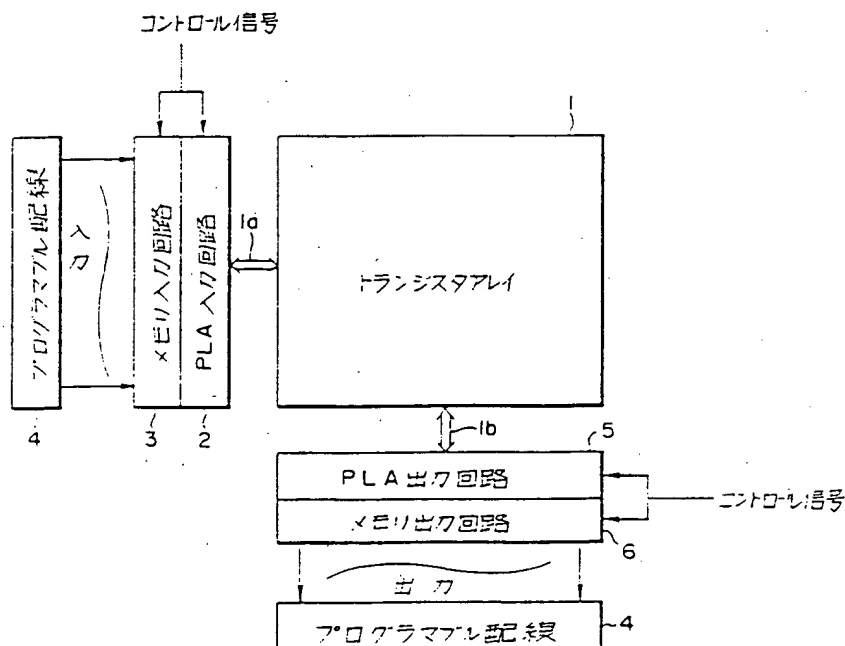
4. 図面の簡単な説明

第1図は本発明のプログラマブル論理要素の一

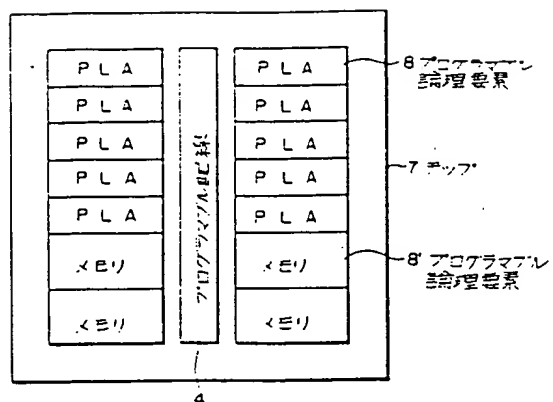
実施例を示すブロック図、第2図はプログラマブル論理素子の構成図、第3図はプログラマブル論理要素の具体的な回路構成図、第4図(a)、(b)は本実施例(a)と従来例(b)とを比較したプログラマブル論理素子を含むICの実装図である。

1…トランジスタアレイ、2…PLA入力回路(第1の入力回路)、3…メモリ入力回路(第2の入力回路)、4…プログラマブル配線、5…PLA出力回路(第1の出力回路)、6…メモリ出力回路(第2の出力回路)、8…プログラマブル論理要素。

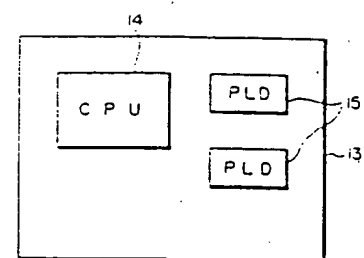
代理人 志賀富士弥



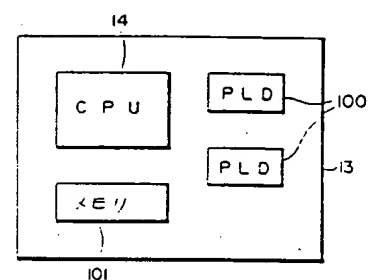
第1図



第 2 図

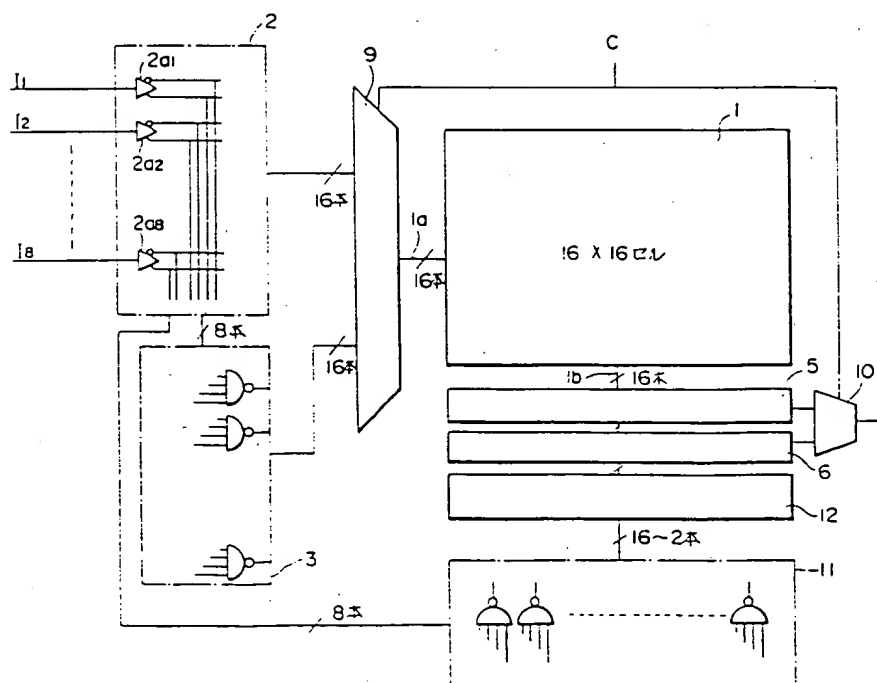


(a)



(b)

第 4 図



第 3 図